

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

011255670  Image available

WPI Acc No: 1997-233573 199721

Related WPI Acc No: 1997-190387; 1997-190388; 1997-287100; 2000-288763;  
2000-288764

XRAM Acc No: C97-075000

XRPN Acc No: N97-193154

TFT mfr. for LCD device - involves activating impurity area formed in polycrystalline silicon( $\alpha$ ) film using RTA process and subjecting it to rapid heat treating process

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Inventor: HIRANO K; MORIMOTO Y; SOTANI N; YAMAJI T; YONEDA K

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9074201	A	19970318	JP 95199980	A	19950804	199721 B
KR 97008658	A	19970224	KR 9626820	A	19960703	199812
US 5771110	A	19980623	US 96677424	A	19960702	199832

Priority Applications (No Type Date): JP 95167513 A 19950703; JP 95199979 A 19950804; JP 95199981 A 19950804; JP 95199982 A 19950804

Patent Details:

Patent No	Kind	Lat Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 9074201	A	14	H01L-029 786	
------------	---	----	--------------	--

KR 97008658	A		H01L-029 78	
-------------	---	--	-------------	--

US 5771110	A		H01L-029 786	
------------	---	--	--------------	--

Abstract (Basic): JP 9074201 A

The mfg method involves using a glass substrate (1) over which an amorphous Si film is formed. The amorphous Si film is subjected to a laser annealing process and a polycrystalline film (2) is formed over the amorphous Si film. Then, a gate insulating film (3) is formed over the polycrystalline film. Then a gate electrode (4) is formed on the gate insulating film. An impurity area (6) forming the source and drain area is formed in the polycrystalline Si film. The impurity in the source and drain area is activated by using rapid thermal annealing process and the source and drain area is subjected to rapid heating process.

ADVANTAGE - Improves through put in mfr of TFT with superb characteristics. Obtains good polycrystalline Si film within short time. Enables low temperature processing.

Dwg.16 32

Title Terms: TFT; MANUFACTURE; LCD; DEVICE; ACTIVATE; IMPURE; AREA; FORMING; POLYCRYSTALLINE; SILICON; FILM; PROCESS; SUBJECT; RAPID; HEAT; TREAT; PROCESS

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-029 78; H01L-029 786

International Patent Class (Additional): G02F-001 136; H01L-021 26;

H01L-021 268; H01L-021 336; H01L-027 105; H01L-027 12

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-74201

(43) 公開日 平成9年(1997)3月18日

(51) Int.Cl.<sup>6</sup>  
H 01 L 29/786  
21/336  
G 02 F 1/136  
H 01 L 21/26  
21/268

識別記号 広内整理番号  
500

F 1  
H 01 L 29/78 6 2 7 G  
G 02 F 1/136 5 0 0  
H 01 L 21/268 Z  
27/12 R  
21/26 L

技術表示箇所

審査請求 未請求 請求項の数11 OL (全14頁) 最終頁に続く

(21) 出願番号 特願平7-199980

(22) 出願日 平成7年(1995)8月4日

(31) 優先権主張番号 特願平7-167513

(32) 優先日 平7(1995)7月3日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74) 代理人 弁理士 岡田 敬

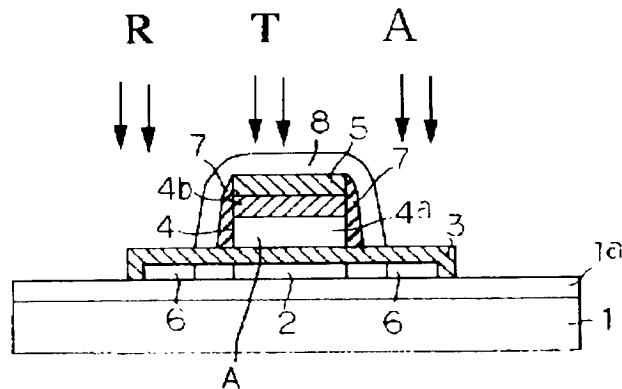
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法及び液晶ディスプレイ

(57) 【要約】

【課題】 優れた特性の多結晶シリコン膜を備えた半導  
体装置のスループットを向上させること。

【解決手段】 ガラス基板1上に非晶質シリコン膜を形  
成し、この非晶質シリコン膜をレーザーアニールして多  
結晶シリコン膜2を形成し、この多結晶シリコン膜2の  
上に、ゲート絶縁膜3を介してゲート電極を形成し、前  
記多結晶シリコン膜2に、ソース、ドレインとなる不純  
物領域6を形成し、前記不純物領域6をRTA法を用い  
て急速加熱することにより活性化する。



## 【特許請求の範囲】

【請求項 1】 基板上に形成された能動層の結晶化ための熱処理の温度を、前記基板が変形しない程度の温度に設定し、この熱処理に用いた方法とは異なる熱処理方法で不純物の活性化を行うことを特徴とした薄膜トランジスタの製造方法。

【請求項 2】 絶縁基板上に非晶質シリコン膜を形成する工程と、

この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、

この多結晶シリコン膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、

前記多結晶シリコン膜に、不純物領域を形成する工程と、

前記不純物領域を R T A (Rapid Thermal Annealing) 法を用いて急速加熱することにより活性化する工程と、を含むことを特徴とした薄膜トランジスタの製造方法。

【請求項 3】 絶縁基板上に非晶質シリコン膜を形成する工程と、

この非晶質シリコン膜を前記基板が変形しない程度の温度を用いた熱処理法により固相成長させて多結晶シリコン膜を形成する工程と、

この多結晶シリコン膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、

前記多結晶シリコン膜に、不純物領域を形成する工程と、

前記不純物領域を R T A 法を用いた急速加熱又はレーザーアニールにより活性化する工程と、を含むことを特徴とした薄膜トランジスタの製造方法。

【請求項 4】 前記非晶質シリコン膜が微結晶を含むことを特徴とした請求項 1 乃至 3 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 5】 前記ゲート電極が少なくとも非晶質シリコン膜を有し、前記不純物の活性化のための熱処理により結晶化されることを特徴とした請求項 1 乃至 4 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 6】 前記ゲート電極が少なくともシリコン膜と金属又は金属シリサイドとの 2 層構造を有し、前記不純物の活性化のための熱処理により低抵抗化されることを特徴とした請求項 1 乃至 5 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 7】 シリコン膜と金属又は金属シリサイドとの 2 層構造を備えたゲート電極を有するものであって、ゲート電極の低抵抗化と不純物領域の活性化とを R T A

法を用いることを特徴とした請求項 8 に記載の薄膜トランジスタの製造方法。

【請求項 10】 請求項 1 乃至 9 のいずれか 1 項に記載の薄膜トランジスタの製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることを特徴とした液晶ディスプレイ。

【請求項 11】 請求項 1 乃至 9 のいずれか 1 項に記載の薄膜トランジスタの製造方法によって製造した薄膜トランジスタを画素駆動用素子及び周辺駆動回路用素子として用いることを特徴とした液晶ディスプレイ。

## 【発明の詳細な説明】

## 【0 0 0 1】

【発明の属する技術分野】 本発明は、薄膜トランジスタ (Thin Film Transistor) の製造方法及び液晶ディスプレイ (LCD : Liquid Crystal Display) に関するものである。

## 【0 0 0 2】

【従来の技術】 近年、アクティオブマトリクス方式 LCD の画素駆動素子 (画素駆動用トランジスタ) として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ (以下、多結晶シリコン TFT という) の開発が進められている。

【0 0 0 3】 多結晶シリコン TFT は、非晶質シリコン膜を能動層に用いた薄膜トランジスタに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコン TFT を用いれば、高性能な LCD を実現できる上に、画素部 (表示部) だけでなく周辺駆動回路 (ドライバ部) までを同一基板上に一体に形成することができる。

【0 0 0 4】 このような多結晶シリコン TFT において、能動層としての多結晶シリコン膜の形成方法としては、基板上に直接多結晶シリコン膜を堆積させる方法や基板上に非晶質シリコン膜を形成した後に、これを多結晶化する方法等がある。このうち、多結晶シリコン膜を直接基板に堆積させる方法は、例えは、CVD 法を用いて高圧下で堆積させるという技術的簡単な工程である。

【0 0 0 5】 また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。この固相成長法の一例を図 3-1 及び図 3-2 に基づいて説明する。

【図 3-1 (図 3-1 参照) : 絶縁基板 (例えば石英ガラス)

の上に、非晶質シリコン膜を堆積する。この非晶質シリコン膜を固相成長法で多結晶シリコン膜とする。

【図 3-2】 前記多結晶シリコン膜上に薄膜トランジスタを能動層として用いることを特徴とする。

技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜5-2を所定形状に加工する。前記多結晶シリコン膜5-2の上に、減圧CVD法を用いて、ゲート絶縁膜5-3としてのシリコン酸化膜を堆積する。

【0007】工程B(図3-2参照)：前記ゲート絶縁膜5-3上に、減圧CVD法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。次に、常圧CVD法により、この多結晶シリコン膜の上にシリコン酸化膜5-4を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜5-4を所定形状に加工する。前記多結晶シリコン膜はゲート電極5-5として使用する。

【0008】次に、自己整合技術により、ゲート電極5-5及びシリコン酸化膜5-4をマスクとして、多結晶シリコン膜5-2に不純物を注入し、ソース・ドレイン領域5-6を形成する。このような方法は、固相成長や不純物活性化の時に900℃程度の高い温度を使用することから、高温プロセスと呼ばれており、耐熱性の高い基板(例えば、石英基板)を用いた場合には、処理時間が短く済むという利点がある。

【0009】しかしながら、前記耐熱性の高い基板は高価であり、比較的安価なガラス基板を用いた場合には、基板に熱歪みが生じて好ましくなく、近年では、低温プロセスを用いた開発が盛んである。特に、駆動デバイスであるTFTにおいては、高性能化が必須であり、このために、低温プロセスを用いたTFTの構成材料の高品質化をはじめとする様々なアプローチがなされている。

【0010】例えば、デバイス特性を左右する活性層材料の高品質化技術として、非晶質シリコン膜を出発材料とし、エキシマレーザーアニール法によって、多結晶シリコン薄膜を形成する技術が開発されている。

#### 【0011】

【発明が解決しようとする課題】レーザーアニールは、レーザー走査を何度も繰り返して行わなければならないため、結晶化時間はかかるという問題があるが、従来例にあっては、熱源としてレーザーピームのみを使用するものであるため、多結晶化プロセスに加え、例えば、不純物領域の活性化にも時間がかかるレーザーアニールを行わなければならず、総プロセス時間が長くなり、TFTデバイスおよびTFTを使用したLCDデバイスのコストを低下する問題がある。

#### 【0012】本発明は、薄膜トランジスタの製造方法及

程度の温度に設定し、この熱処理に用いた方法とは異なる熱処理方法で不純物の活性化を行うものである。

【0014】また、請求項2の薄膜トランジスタの製造方法にあっては、絶縁基板上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、この多結晶シリコン膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程とを含むものである。

【0015】また、請求項3の薄膜トランジスタの製造方法にあっては、絶縁基板上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜を前記基板が変形しない程度の温度を用いた熱処理法により固相成長させて多結晶シリコン膜を形成する工程と、この多結晶シリコン膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いた急速加熱又はレーザーアニールにより活性化する工程とを含むものである。

【0016】また、請求項4の薄膜トランジスタの製造方法にあっては、前記非晶質シリコン膜が微結晶を含むものである。また、請求項5の薄膜トランジスタの製造方法にあっては、前記ゲート電極が少なくとも非晶質シリコン膜を有し、前記不純物の活性化のための熱処理により結晶化されるものである。

【0017】また、請求項6の薄膜トランジスタの製造方法にあっては、前記ゲート電極が少なくともシリコン膜と金属又は金属シリサイドとの2層構造を有し、前記不純物の活性化のための熱処理により低抵抗化されるものである。また、請求項7の薄膜トランジスタの製造方法にあっては、シリコン膜と金属又は金属シリサイドとの2層構造を備えたゲート電極を有するものであって、ゲート電極の低抵抗と不純物領域の活性化とをRTA法又はレーザーアニール法を用いて同時に行うものである。

【0018】また、請求項8の薄膜トランジスタの製造方法にあっては、前記RTA法に用いる熱源として、レーザーからの光照射熱を用いるものである。また、請求項9の薄膜トランジスタの製造方法にあっては、前記ランプとして、キセノンランプを用いるものである。また、請求項10の薄膜トランジスタにおいては、請求項1乃至9のいずれか1種に記載の薄膜トランジスタの

【課題を解決するための手段】前記電子機器用の薄膜トランジスタの製造方法にあっては、基板上に形成された能動層を用いた熱処理を用いて、前記基板を变形しない

まま、成長を止められた状態で、前記能動層を用いた薄膜トランジスタの製造方法によって製造した薄膜トランジスタを前記能動層を用いて前記能動層を予め形成した熱用基板として用い

るものである。すなわち、請求項1乃至5の本発明によれば、非晶質シリコン膜の多結晶化と不純物領域の活性化とを、基板が変形しない程度の温度を用いた熱処理法、レーザーフニール法及びRTA法を適宜組み合わせて行うので、多結晶化、活性化いずれもレーザーフニール法で行うことに比べて、製造時間が短くなる。

【0020】特に、請求項2の発明にあっては、レーザーフニールにより品質の高い多結晶シリコン膜が得られ、且つRTAにより不純物領域を短時間で活性化できる。また、請求項3の発明にあっては、固相成長時に一度に大量の基板を処理できる。また、請求項4の発明にあっては、微結晶を含んだ非晶質シリコン膜を固相成長法により多結晶化することにより、結晶成長を短時間で終えることができる。

【0021】また、請求項5の発明にあっては、非晶質シリコン膜の結晶化と不純物の活性化とを一度に行うので、別々に行うことに比べて、処理時間が短くなる。また、請求項6及び7の発明にあっては、シリコン膜と金属又は金属シリサイドとの2層構造の低抵抗化と不純物の活性化とを一度に行うので、別々に行うことと比べて、処理時間が短くなる。

【0022】また、請求項8及び9の発明にあっては、不純物の活性化に適したものである。また、請求項10及び11の発明にあっては、短時間で製造された品質のよい薄膜トランジスタを画素駆動用素子や周辺駆動回路用素子として用いることにより、優れた液晶ディスプレイを短時間で製造することができる。

【0023】

#### 【発明の実施の形態】

(第1実施形態) 本発明を具体化した第1の実施形態を図1乃至図18に従って説明する。

工程1(図1参照)：石英ガラスや無アルカリガラスなどの基板1上に、SiO<sub>2</sub>やSiNなどの絶縁性薄膜1aをCVD法やスパッタ法などにより形成する。具体的には、基板1としてローニング社製7059を使用し、その表面上に常用又は減圧CVD法により、形成温度300℃にて、膜厚2000～3000ÅのSiO<sub>2</sub>膜を形成する。

【0024】このSiO<sub>2</sub>膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこのSiO<sub>2</sub>膜を通過して上層へ拡散しない程度の厚みが必要で、2000～6000Åの範囲が適切で、2000～6000Åにしたときに拡散防止効果が良好で、その中でも3000～5000Åの場合が最も適している。また、

この膜厚は、2000～3000Åの場合は最も適している。

【0025】一方で、膜厚が過度に薄い場合は活性

の上に、非晶質シリコン膜2a(膜厚500Å)を形成する。この非晶質シリコン膜2aをTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTのオフ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜2aの膜厚は、400～800Åの範囲が適切で、500～700Åにしたときに特性が良好で、その中でも500～600Åの場合が最も適している。

【0026】前記非晶質シリコン膜2aの形成方法には以下のものがある。

1)減圧CVDを用いる方法：減圧CVD法でシリコン膜を形成するには、モノシラン(SiH<sub>4</sub>)又はジシラン(Si<sub>2</sub>H<sub>6</sub>)の熱分解を用いる。モノシランを用いた場合、処理温度が550℃以下では非晶質、620℃以上では多結晶となる。そして、550～620℃では微結晶を含む非晶質が多くなり、温度が低くなるほど非晶質に近づいて微結晶が少くなる。従って、温度条件を変えるだけで、非晶質シリコン膜2a中の微結晶の量を調整することができる。

【0027】2)プラズマCVD法を用いる方法：プラズマCVD法で非晶質シリコン膜を形成するには、プラズマ中のモノシランまたはジシランの熱分解を用いる。実際の工程では、前記1の方法を採用し、使用ガス：モノシラン、温度：350℃の条件で、微結晶を含まない非晶質シリコン膜を形成している。

工程3(図3参照)：前記非晶質シリコン膜2aの表面上に、波長λ=248nmのKrFエキシマーレーザービームを照射、走査してアニール処理を行い、非晶質シリコン膜2aを溶融再結晶化して、多結晶シリコン薄膜2を形成する。

【0028】この時のレーザー条件は、アニール雰囲気：1・10<sup>-4</sup>Pa以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/s e.c.(実際には、0.1～1.0mm/s e.c.の範囲の速度で走査可能)である。前記レーザービームとしては、波長λ=308nmのXeClエキシマーレーザーを使用してもよい。この時のレーザー条件は、アニール雰囲気：1・10<sup>-4</sup>Pa以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/s e.c.(実際には、0.1～1.0mm/s e.c.の範囲の速度で走査可能)である。

【0029】また、波長λ=193nmのArFエキシマーレーザーを使用してもよい。この場合のレーザー条件

は、レーザーの波長λ=193nmの場合は、照射エネルギー密度及び照射回数に比例して、多結晶シリコンの粒径は大きくなるので、希望の大きさの粒径を得るために

に、エネルギー密度を調整すればよい。

【0030】本実施形態では、このエキシマレーザーアニールに、高スループットレーザー照射法を用いる。即ち、図29において、101はKTFエキシマレーザー、102はこのレーザー101からのレーザービームを反射する反射鏡、103は反射鏡102からのレーザービームを所定の状態に加工し、基板1に照射するレーザービーム制御光学系である。

【0031】このような構成において、高スループットレーザー照射法とは、レーザービーム制御光学系103によってシート状(15.0mm×0.5mm)に加工されたレーザービームを、複数バルスの重ね合わせにより照射する方法で、ステージ走査とバルスレーザ照射を完全に同期させ、きわめて高精度な重複でレーザーを照射することによりスループットを高めるものである。

【0032】工程4(図4参照)：前記多結晶シリコン膜2を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、RTE法によるドライエッチャリング技術により前記多結晶シリコン膜2を所定形状に加工する。そして、前記多結晶シリコン膜2の上に、ロードロック式減圧CVD装置を用いた減圧CVD法により、ゲート絶縁膜としてのLTO膜(Low Temperature Oxide:シリコン酸化膜)3(膜厚1000Å)を形成する。

【0033】工程5(図5参照)：前記ゲート絶縁膜3の上に、減圧CVD法により非晶質シリコン膜(膜厚2000Å)4aを堆積する。この非晶質シリコン膜4aは、その形成時に不純物(N型ならヒ素やリン、P型ならボロジン)がドープされているが、ノンドープ状態で堆積し、その後に不純物を注入してもよい。次に、スパッタ法を用い、前記非晶質シリコン膜4aの上にタンゲステンシリーサイド(WSi<sub>x</sub>)膜4b(膜厚1000Å)を形成する。スパッタ法では、WSi<sub>x</sub>の合金ターゲットを使用する。WSi<sub>x</sub>の化学量論的組成はN=1であるが、合金ターゲットの組成はX=1に設定する。これはWSi<sub>x</sub>膜4bの組成がX=1に近い上、その他の熱処理時に非常に大きな引張り応力が生じ、WSi<sub>x</sub>膜4bにクラックが発生したり、剥離したりする恐れがあるためである。但し、WSi<sub>x</sub>の抵抗値はX=1の場合に最も低くなるため、クラックや剥離が生じない程度にXの上限を設定する必要がある。

【0034】そして、常圧CVD法により、前記WSi<sub>x</sub>膜4bの上にシリコン酸化膜5を堆積した後、フ

【0035】工程6(図6参照)：自己整合技術により、ゲート電極4及びシリコン酸化膜5をマスクとして、多結晶シリコン膜2に不純物を注入し、ナースドレイン領域6を形成する。

【0036】工程7(図7参照)：前記ゲート絶縁膜3及びシリコン酸化膜5の上に、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、前記ゲート電極4及びシリコン酸化膜5の側方にサイドウオール7を形成する。更に、このサイドウオール7及びシリコン酸化膜5をレジスト8で覆い、再び自己整合技術により、レジスト8をマスクとして多結晶シリコン膜2に不純物を注入して、LDD(Lightly Doped Drain)構造を形成する。

【0037】工程8(図8参照)：この状態で、RTA(Rapid Thermal Annealing)法による急速加熱を行う。即ち、図30において、105はシート状のアニール光を発する光源であり、キセノン(Xe)アークランプ106とそれを包む反射鏡107を1組として、これを上下に相対向させることにより構成している。108、109は基板1を搬送するためのローラー、110は加熱後の基板が急激に冷却されひび割れしないようにするための補助ヒーターである。

【0038】この状態において、基板1をブリヒーター106で予熱した後、シート状のアニール光源105を通して、熱処理する。この時のRTAの条件は、熱源：Xeアークランプ、温度：700～950℃(バイロメータ)、雰囲気：N<sub>2</sub>、時間：1～3秒である。RTA法による加熱は、高温を用いるが、きわめて短時間で終えることができるため、基板1が変形する心配はない。

【0039】尚、基板1に対し、急激に高い温度を加えることが心配な場合は、RTAを複数回に分けて行ってよい。即ち、各回の時間は1～3秒とし、回を重ねる毎に温度を、初回：400℃～最終回：700～950℃として、ようやく段階的に上昇させる。前記Xeアークランプの当然は、多結晶部よりも非晶質部やシリーサイド部に熱が吸収されるため、必要な部分のみを集中的に加熱することが可能になり、(ナースドレインの低抵抗化や不純物の活性化)に適している。

【0040】そして、この急速加熱により、前記ナースドレイン領域6の不純物が活性化するとともに前記非晶質シリコン膜4aが多結晶化され、更には、この多結晶シリコン膜4aとWSi<sub>x</sub>膜4bとにナースドレイン

領域6の上に、シリコン酸化膜5が形成される。前記非晶質シリコン膜4aは、前記WSi<sub>x</sub>膜4bと不純物とともにシリーサイド構造のゲート電極4として使用される。

【0041】本実施形態は、上記のように、熱処理を行って用いられる技術を用いる高溫熱処理と同等のものとなる。

【0040】この工程により、薄膜トランジスタ（TFT：Thin Film Transistor）Aが形成される。

工程9(図9参照)：レジスト8除去後、デバイスの全面に、プラズマ酸化膜(膜厚2000Å)と常圧CVD法によるシリコン酸化膜(膜厚2000Å)との積層構造から成る層間絶縁膜9を形成する。層間絶縁膜9を常圧CVD法によるシリコン酸化膜だけで形成すると、堆積膜厚が不均一になって、オーバーハングが形成され、後工程で使用するA1などが除去されずに残りやすく、絶縁不良が発生する危惧がある。一方、本実施例のように、プラズマ酸化膜を堆積した後に常圧でシリコン酸化膜を堆積する方法にあっては、シリコン酸化膜の成長レートが安定し、その堆積膜厚が均一になる。

【0.04.1】特に、フライヤ酸化膜は、基板表面の凹凸に合わせて均一な膜厚で堆積されるので、層間絶縁膜としての総膜厚が均一に安定する。フライヤ酸化膜の堆積条件は、堆積温度：390°C、RF出力：500W、SiH<sub>4</sub>流量：500 sccm、酸素流量：1500 sccm、圧力：9 torrとし、シリコン酸化膜の堆積条件は、堆積温度：400°C、キャリアN<sub>2</sub>ガス流量：3000 sccmとする。

【0042】 続いて、電気炉により、水素( $H_2$ )雰囲気中、温度450°Cで12時間加熱し、更に、水素プラズマ処理を施す。このような水素化処理を行うことで、多結晶シリコン膜の結晶欠陥部分に水素原子が結合し、結晶構造が安定化して、電界効果移動度が高まる。その後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記層間絶縁膜9に、前記ハース・ドレイン領域6とコンタクトするコンタクトホール10を形成する。

【0043】工程10(図10参照)：マグネットロンスバッタ法により、Ti-Al-Ti合金-Tiの積層構造からなる配線層を堆積し、フォトリソグラフィ技術、RIBE法によるドライエッキング技術を用いて、リース・ラインを複数11として加工する。

程1-1 (図1-1参照) にCVD法により、デバイスの上面に保護膜としてシリコン酸化膜(2) (シリコン酸化膜でもよい)を複数堆積させる。

【0041】工程12(図12参照)：デバイス全面に、SOG(Spin On Glass)膜13を3回にわたって塗布し、デバイス表面の凹凸を平坦化する。

程1.3(図1.3参照):前記SOG膜1.3はレジストの剥離性が悪く、また水分を吸収しやすいので、この保護膜1.3の上に、アセトニトリル等の溶剤中に、時々水滴が付いて

コンタクトホール15を形成し、デバイスの全面に、画素電極としてのITO膜16をスパッタ蒸着させる。

工程15(図15参照): 最後に、ITO膜16を電極形状に加工すべく、ITO膜16の上にレジストバーチを形成した後、ます、臭化水素ガス(HBr)を用いたRIE法によりITO膜16をエッチングし、シリコン酸化膜14を露出しはじめた時点で、ガスを塩素ガス(Cl<sub>2</sub>)に切り替え、そのまま最後までエッチングを継続する。

【0046】[図16] (図16参照)：このようにLCDの片面TFT基板を形成した後は、表面に共通電極17が形成された透明絶縁基板18を相対向させ、各基板1、18の間に液晶を封入して液晶層19を形成することにより、LCDの画素部を完成させる。図17は本実施例におけるアクティーフマトリクス方式LCDのプロック構成図である。

【00-17】画素部20には各走査線（ゲート配線）G1…Gn, G<sub>n+1</sub>…G<sub>m</sub>と各データ線（ドライン配線）D1…D<sub>n</sub>, D<sub>n+1</sub>…D<sub>m</sub>とが配置されている。各ゲート配線と各ドライン配線とはそれぞれ直交し、その直交部分に画素21が設けられている。そして、各ゲート配線は、ゲートトライバ22に接続され、ゲート信号（走査信号）が印加されるようになっている。また、各ドライン配線は、ドレインドライバ（データドライバ）23に接続され、データ信号（ビデオ信号）が印加されるようになっている。これらのドライバ22、23によって周辺駆動回路24が構成されている。

【0048】そして、各ドライバ22、23のうち少なくともいずれか一方を画素部20と同一基板上に形成した上では、一般にドライバ一体型（ドライバ内蔵型）LCDと呼ばれている。尚、ゲートドライバ22が、画素部20の両端に設けられている場合もある。また、ドライバドライバ23が、画素部20の両側に設けられている場合もある。

【0019】この周辺駆動回路2-4のスイッチ部の用基板上にも複数の多結晶シリコン TFT (A) と同等の製造方法で作成した多結晶シリコン TFT を用いており、多結晶シリコン TFT (A) の作製に並行して、同一基板上に形成される。尚、この周辺駆動回路2-4用の多結晶シリコン TFT は、LDD構造ではなく、通常のシングルドライブ構造を採用している（もちろん、LDD構造でもよい）。

【00010】また、この周辺駆動回路2-1の多結晶シリコン半導体は、AMO<sub>3</sub>構造に形成されており、各

以上は、画素駆動素子に対して、半導体前記導線（シリコンフランジ部同様）、該晶セリウム、補助要紳（シリコン）が構成される。一方、上電極部は、半導体前記導線（シリコン）と、

れ、ドレイン配線DnにはTFTのドレインが接続されている。そして、TFTのソースには、液晶セルLCの表示電極（画素電極）と補助容量（蓄積容量又は付加容量）CSとが接続されている。

【0051】この液晶セルLCと補助容量CSとにより、信号蓄積素子が構成される。液晶セルLCの共通電極（表示電極の反対側の電極）には電圧Vcomが印加されている。一方、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極には定電圧VRが印加されている。この液晶セルLCの共通電極は、文字通り全ての画素2-1に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極は、隣のゲート配線Gn+1と接続されている場合もある。

【0052】このように構成された画素2-1において、ゲート配線Gnを正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、ドレイン配線Dnに印加されたデータ信号で、液晶セルLCの静電容量と補助容量CSとが充電される。反対に、ゲート配線Gnを負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線Dnに印加されていた電圧が、液晶セルLCの静電容量と補助容量CSとによって保持される。このように、画素2-1へ書き込みみたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素2-1に任意のデータ信号を保持させておくことができる。その画素2-1の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0053】ここで、画素2-1の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部2-0の仕様から定められた単位時間内に、信号蓄積素子（液晶セルLC及び補助容量CS）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかといふ点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込まれたビデオ信号電圧を必要な時間だけ保持することができるかどうかといふ点である。

【0054】補助容量CSが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。せなむち、液晶セルLCは、その構造上、静電容量の増大には限界がある。そこで、補助容量CSによって液晶セルLCの静電容量の不足を補てねようとする。

本発明の第1実施形態は、第1実施形態と構成をよく説明を省略する。また、この第1実施形態は、第1実施形態の工程1～工程8に対応する工程が異なる点で、以下にその構成を述べる。

【0055】工程1（図1-9参照）：基板1上に、Wシリサイド膜5-1を形成する。

工程2（図2-0参照）：前記Wシリサイド膜5-1を、トランジスタの能動層としての多結晶シリコンと同じパターンに加工する。

工程3（図2-1参照）：前記基板1及びWシリサイド膜5-1を覆うように、SiO<sub>2</sub>やSiNなどの絶縁性薄膜1-aをCVD法やスパッタ法などにより形成する。

【0056】工程4（図2-2参照）：前記絶縁性薄膜1-aの上に、非晶質シリコン膜2-aを形成する。

工程5（図2-3参照）：前記非晶質シリコン膜2-aの表面にAr下エキシマレーザーピームを走査してアーナーピル処理を行い、非晶質シリコン膜2-aを溶融再結晶化して、多結晶シリコン薄膜2を形成する。

【0057】尚、レーザーピームとして、XeClエキシマレーザーやAr下エキシマレーザーを使用してもよい。

工程6（図2-4参照）：前記多結晶シリコン膜2を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、RIE法によるドライエッキング技術により前記多結晶シリコン膜2を所定形状に加工する。

【0058】そして、前記多結晶シリコン膜2の上に、ゲート絶縁膜としてのLTO膜3を形成する。

工程7（図2-5参照）：前記ゲート絶縁膜3の上に、非晶質シリコン膜4-aを堆積する。次に、前記非晶質シリコン膜4-aの上にWシリサイド膜4-bを形成する。

【0059】そして、前記Wシリサイド膜4-bの上にシリコン酸化膜5を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッキング技術を用いて、前記多結晶シリコン膜4-a、Wシリサイド膜4-b及びシリコン酸化膜5を所定形状に加工する。前記非晶質シリコン膜4-aは、前記Wシリサイド膜4-bとともにポリサイド構造のゲート電極4として使用する。

【0060】工程8（図2-6参照）：前記ゲート絶縁膜3及びシリコン酸化膜5の上に、常圧CVD法によりシリコン酸化膜を堆積し、これを質子性重水素モリブデン酸化物により、前記ゲート電極4及びシリコン酸化膜5の側方にサイドウエーブを形成する。そして、自己整合技術により、サイドウエーブをマスクとして、多結晶シリコン膜2に、加速電圧：80KeV、ドーピング量3・10<sup>13</sup>cm<sup>-2</sup>の条件で、リソゴンを不純物として注入し、低濃度の不純物領域6-aを形成する。

【0061】工程9（図2-7参照）：前記サイドウエーブをマスクとして、熱処理を150℃以上で行い、再び

シリコン酸化膜5を形成する。この後、前記サイドウエーブをマスクとして、熱処理を150℃以上で行い、第1ドーピングの不純物領域6-aを形成する。

【0062】工程(10) (図28参照)：この状態で、第1実施形態と同様のRTA法による急速加熱を行う。Xeアーケーランプの光熱は、多結晶部よりも非晶質部やシリサイド部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になり、(ゲート)配線の低抵抗化や不純物の活性化に適している。

【0063】特に、本実施例では、多結晶シリコン膜2に対応して、その下方にWシリサイド膜5-1を形成している。このWシリサイド膜5-1は、RTAの熱を吸収する作用があり、熱を吸収したWシリサイド膜5-1からの放射熱によっても前記多結晶シリコン膜2の不純物の活性化が行われる。即ち、多結晶シリコン膜2を、Xeアーケーランプによる熱とWシリサイド膜5-1からの放射熱とにより、直接及び間接的に加熱することにより、多結晶シリコン膜2全体を均一に加熱し、活性化がバラツクことなく良好に行われるようになる。

【0064】Wシリサイド膜5-1の大きさは、基本的に、多結晶シリコン膜2と同じか又はそれ以上であればよいが、面内でのパターンの大きさに対応した面積となるように調整すれば、なお好ましい。即ち、集積化半導体デバイスでは、パターンの疎密が基板上に発生するため、各トランジスタに均等にWシリサイド膜2を設けたのでは、場所によって単位面積当たりの熱吸収率が異なり、均一な熱処理が行えず、また、Wシリサイド膜5-1が集中する場所での温度が非常に高くなつて基板1が変形する場合がある。

【0065】そこで、下層に配置した熱吸収膜の単位面積当たりの密度を、その上層に形成されるパターンに係わらずほぼ一定となるようにすれば、RTAで活性化するときの温度分布の偏りを解消することができる。具体的にドライバー一体型のLCDパネルでは、ドライバ部に比べて画素部のトランジスタの密度が高いので、ドライバ部のトランジスタに対応するWシリサイド膜5-1の大きさを、画素部のそれに比べて大きめてやることで、基板1全体の温度分布がほぼ均一になる。

【0066】LCDパネルにおいては、回路の面積が約1.0×1.0μm<sup>2</sup>Wシリサイド膜5-1となるように調整することを好ましい。この方法により、多結晶シリコンTFT (TFT: Thin Film Transistor, トランジスタ) が形成される。以上の実施形態により製造した多結晶シリコンTFTにあっては、いわゆる低温プロセスで行うことができ、しかも、良質の多結晶シリコン膜を能動層として使用している。

【0067】本発明者の実験によれば、NチャネルのM

OSD (On-Screen Display) パネルにも十分に適用可能であり、 $\mu n = 5.0 \text{ cm}^2/\text{V} \cdot \text{S}$ 、 $\mu p = 2.0 \text{ cm}^2/\text{V} \cdot \text{S}$ 、しきい値電圧: 2V (nチャネル)、-5V (pチャネル)、S値 (Sub-threshold switching) : 0.2V/decade、オン・オフ比: 1×10<sup>7</sup>の特性を得ることができる。

【0068】また、移動度が高いぶん、TFTの能動層力が向上するので、TFTのサイズを小さくすむことができ、従来能動層として非晶質シリコンを用いたトランジスタのサイズ (W/L = 3.4~10μm) に比べて、1~8以下のサイズ (W/L = 8~5μm) に縮小することができる。更には、高品質の能動層であるので、トランジスタのOFF時のリーク電流も少なく、そのぶん補助容量の面積も1/3以下に縮小することができる。具体的には、サイズ2.1型で、画素ピッチ: 50.0~111μm・130.0(V)μm、画素数: 23万ドット (320×320×3 (RGB) ×240) と、従来型のパネルに比べて3倍以上の高密度画素を有しながらも、55%という高開口率 (従来比: 1.5倍) のものを得ることができ、高輝度化を実現できる。

【0069】以上の実施例は以下のように変更してもよし、その場合でも同様の作用、効果を得ることができること。

1) 条件にもよるが基板1として、通常のガラス板なども使用可能である。

2) 工程2や工程4において、非晶質シリコン膜を減圧CVD法により、例えば、モノシランガスを用い、温度580℃で堆積させる。これにより、非晶質シリコン膜2aは微結晶を含んだ膜となる。

【0070】微結晶を含んだ非晶質シリコン膜を固相成長法により多結晶化することにより、結晶粒径が小さくなるぶん移動度は若干低下するが、結晶成長を短時間で終えることができる。

3) 工程2や工程4において、非晶質シリコン膜2aを減圧CVD法、アラミドCVD法によらず、常圧CVD法、光効果CVD法、蒸着法、EB(Electron Beam) 蒸着法、MBE(Molecular Beam Epitaxy) 法、スピッタ法からなるガラス板の内のいずれかの方法によって形成する。

【0071】1) 多結晶シリコン膜2のチャネル領域に相当する部分に不純物をドーピングして多結晶シリコンTFTのしきい値電圧 (Vth) を制御する。固相成長法で形成した多結晶シリコンTFTにおいては、Nチャネルトランジスタではドップレッジ方向にしきい値電

圧が、Pチャネルトランジスタを裏返してきて地極側となる。このような動作順序に対しては、例えば、NチャネルトランジスタのVth、PチャネルトランジスタのVthが都度求め

られる。このときの順序は、ドップレッジ方向には、チャネル領域に不純物をドーピングすればよい。

【0072】2) 前記の構成を既存の技術に代えて以下。

工程を行う。

工程3a: 電気炉により、窒素( $N_2$ )雰囲気中、温度600°C程度で約20時間の熱処理を行うことにより、前記非晶質シリコン膜2aを固相成長させて多結晶シリコン膜2を形成する。

6) 工程3aで形成したこの多結晶シリコン膜2は、膜を構成する結晶に転位等の欠陥が多く存在するとともに、結晶間に非晶質部分が残っている可能性があり、リード電流が多くなる危惧がある。

【0073】そこで、工程3aの後、基板1をRTA法又はレーザーアニール法により急速加熱し、多結晶シリコン膜2の膜質を改善する。

7) 電気炉は、レーザー照射に比べて、時間はかかるが、一度に大量の基板を処理できるため、前記5)や6)の工程は実質的にスループットが高い。従って、その後の、例えば不純物領域の活性化のための熱処理は、RTA法に代えてレーザービームアニール法を用いてもよい。RTA法は短時間で終えることができるという利点があり、レーザービームアニール法は不純物領域の温度を高く上昇させることができるために、シート抵抗を下げることができるという利点がある。

【0074】8) 工程5、工程1)、工程7)において、スパッタ法以外のPVD方法(真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスターイオンビーム法など)を用いて、Wシリサイド膜4b、5-1を形成する。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSi<sub>1</sub>X)の組成をX>2に設定する。

【0075】9) 工程5、工程1)、工程7)において、CVD法を用いてWシリサイド膜4b、5-1を形成する。そのソースガスとしては、バッファ化タンゲステン(WF<sub>6</sub>)とシラン(SiH<sub>4</sub>)を用いればよい。成膜温度は、350~450°C前後とする。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSi<sub>1</sub>X)の組成をX>2に設定する。CVD法はPVD法に比べ、段差被覆性が優れているため、Wシリサイド膜4bの膜厚をより均一にすることができる。

【0076】10) ゲート電極に用いるWシリサイドに代わるものとして、MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、CoSi<sub>2</sub>などの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度が低い場合には(約450°C以下)、AlやAuなどの柔軟性の低融点金属を用いてもよい。Wシリサイド膜も含めて、これらの金属膜は、光を通さない性質を有しているので、以下の通りの効果を有する。

【0081】(a) 光の散乱を防止すると共に液晶セルに必要な光を遮る不要な光を遮るのと、LCDデバイスとしては、よりスルートが高くなる。

(b) TFTに必要な光を遮るのと、光によるリード電流を減少させてTFTとしての特性を向上させると共に光によるTFT自身の劣化を防止する。

【0082】(c) ブレーナ型だけでなく、逆ブレーナ型、スタガ型、逆スタガ型などあらゆる構造の多結晶シリコンTFTに適用する。

13) 多結晶シリコンTFTだけでなく、絶縁ゲート型多層膜基板上に適用する。また、TFT電極や配線を

力: 9 torrとし、常圧オクタンTEOS酸化膜の堆積条件は、堆積温度: 400°C、RF出力: オクタン濃度: 約5 wt%, TEOSキャリア $N_2$ ガス流量: 3000 ccとす。

【0078】11) 上記10)の工程の後、プラズマTEOS酸化膜を、アンモニア(NH<sub>3</sub>)ガスを用いてプラズマ処理することにより窒素イオンに晒し、その表面を空化してから常圧オクタンTEOS酸化膜を堆積すると、シリコン酸化膜の成長レートがより安定する。この時の空化処理条件は、温度: 360°C、RF出力: 500W、アンモニア流量: 100~500 sccm、 $N_2$ 流量: 0~400 sccmである。尚、この空化処理において、アンモニアの代わりに窒素を用いてもよい。

【0079】12) Wシリサイド膜5-1に代えて、非晶質シリコン膜や多結晶シリコン膜などの半導体膜を用いる。これらのシリコン膜には不純物がドープされているてもよい。このように、導電性膜又は半導体膜を用いることにより、この熱吸収膜に電圧を印加することで、TFTを、LSIに用いられるMOSトランジスタのように1端子デバイスとして動作させて、しきい値電圧をコントロールできると共に、ガラス基板を用いた場合には、基板内のイオンを静電的にシールドするため、ガラス基板内のイオンによるトランジスタの特性劣化及び可動イオンが形成する電位によるTFTの悪影響を防止することができる。

【0080】13) Wシリサイド膜5-1に代えて、MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、CoSi<sub>2</sub>などの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度が低い場合には(約450°C以下)、AlやAuなどの柔軟性の低融点金属を用いてもよい。Wシリサイド膜も含めて、これらの金属膜は、光を通さない性質を有しているので、以下の通りの効果を有する。

【0081】(a) 光の散乱を防止すると共に液晶セルに必要な光を遮るのと、LCDデバイスとしては、よりスルートが高くなる。

(b) TFTに必要な光を遮るのと、光によるリード電流を減少させてTFTとしての特性を向上させると共に光によるTFT自身の劣化を防止する。

【0082】(c) ブレーナ型だけでなく、逆ブレーナ型、スタガ型、逆スタガ型などあらゆる構造の多結晶シリコンTFTに適用する。

13) 多結晶シリコンTFTだけでなく、絶縁ゲート型多層膜基板上に適用する。また、TFT電極や配線を

直に適用する。

【0083】

【発明の効果】本発明によれば、TFTの表面に優れた

効果を奏する。

1) 低温プロセスが可能で、安価な基板を使用でき、薄膜トランジスタや液晶ディスプレイの製造コストを削減できる。

2) 良質な多結晶シリコン膜を短時間で得ることができ、薄膜トランジスタや液晶ディスプレイの製造におけるスループットが向上する。

【図面の簡単な説明】

【図1】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図2】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図3】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図4】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図5】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図6】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図7】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図8】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図9】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図10】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図11】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図12】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図13】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図14】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図15】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図16】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図17】アクティブマトリクス方式LCDのブロック構成図である。

【図18】画素の等価回路図である。

【図19】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図20】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図21】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図22】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図23】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図24】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図25】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図26】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図27】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図28】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図29】エキシマレーザーアニール装置の構成図である。

【図30】RTA装置の構成図である。

【図31】従来例の製造工程を説明するための断面図である。

【図32】従来例の製造工程を説明するための断面図である。

【符号の説明】

1 絶縁基板

2 a 非晶質シリコン膜

2 多結晶シリコン膜

3 ゲート絶縁膜

4 a 多結晶シリコン膜(非晶質シリコン膜)

4 b Wシリコン膜

4 ゲート電極

6 不純物領域

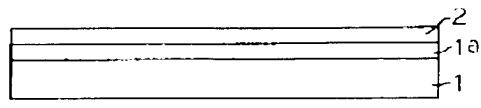
【図1】



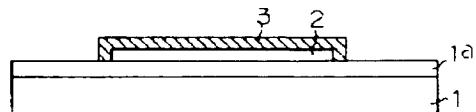
【図2】



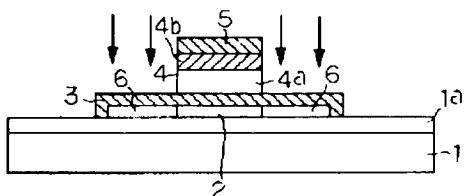
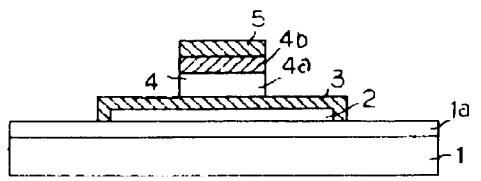
【図3】



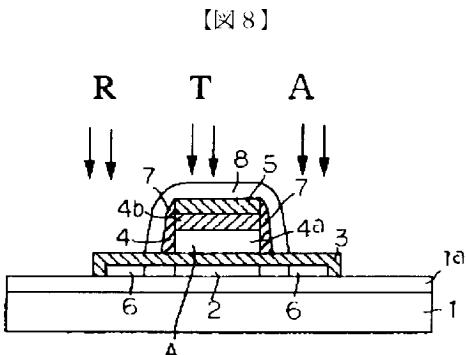
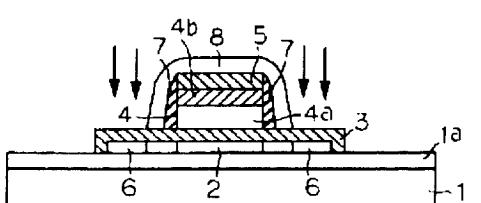
【図4】



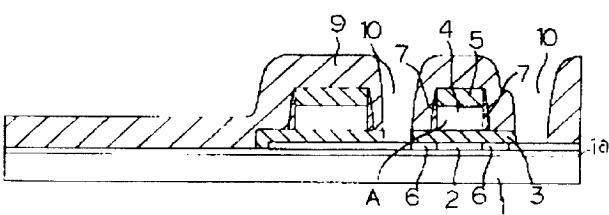
【図5】



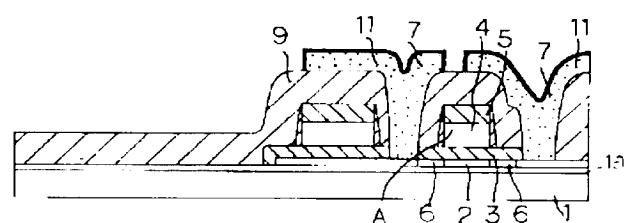
【図7】



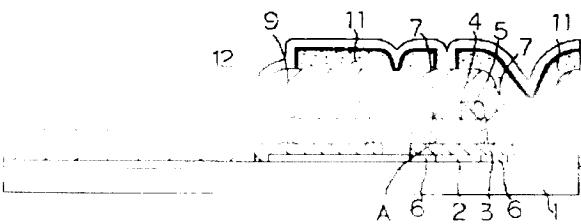
【図9】



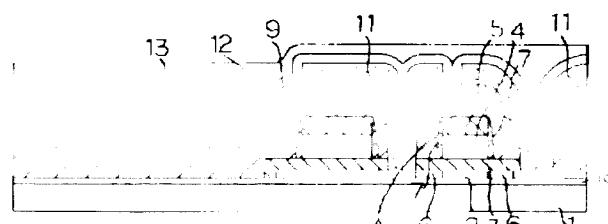
【図10】



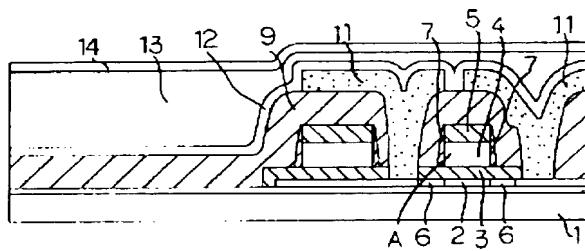
【図11】



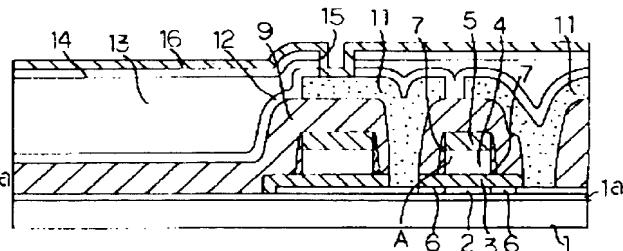
【図12】



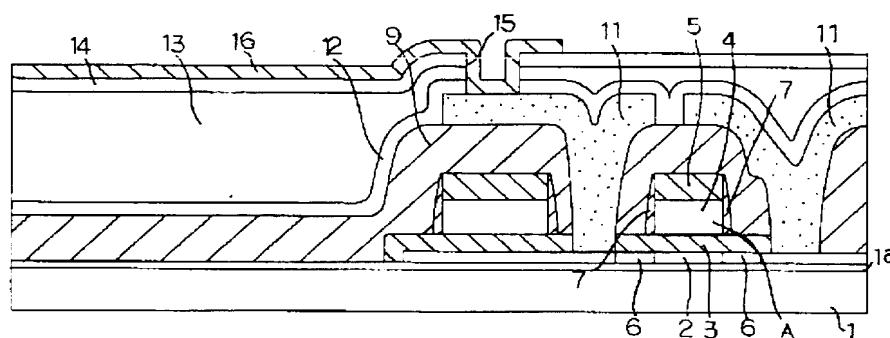
【図13】



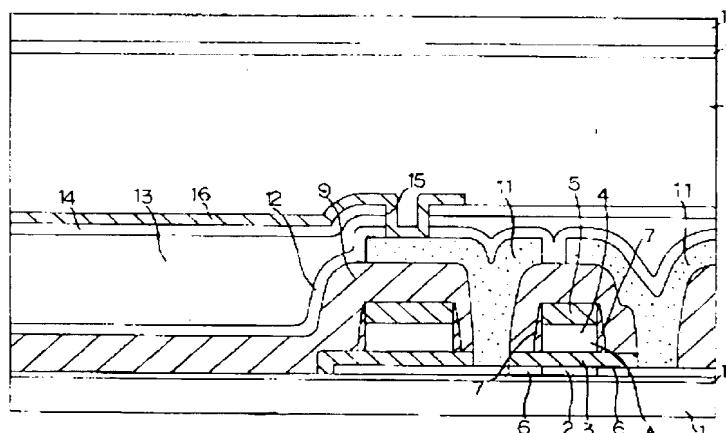
【図14】



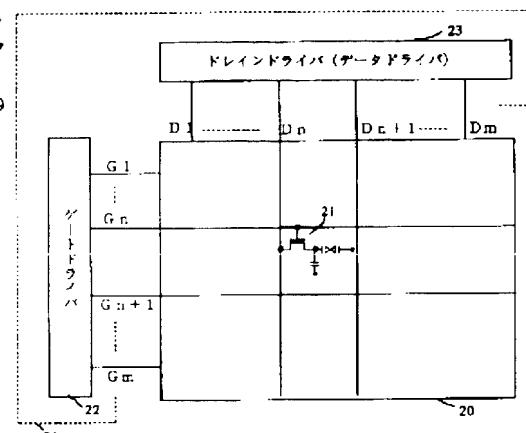
【図15】



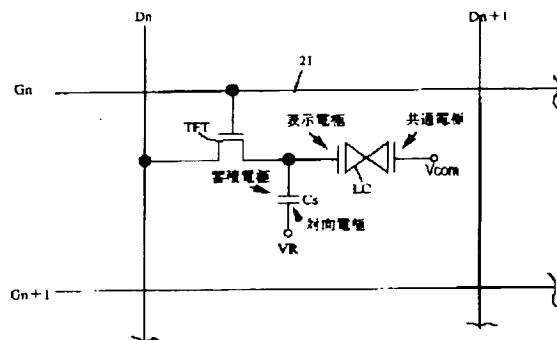
【図16】



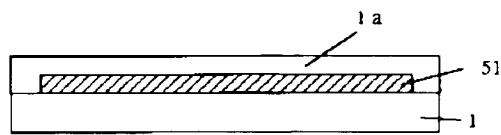
【図17】



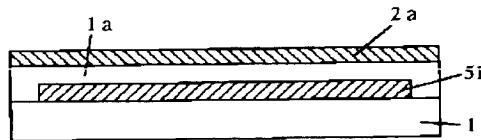
【図18】



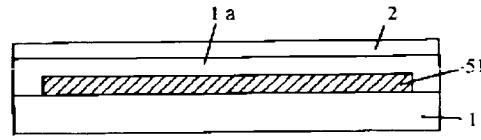
【図21】



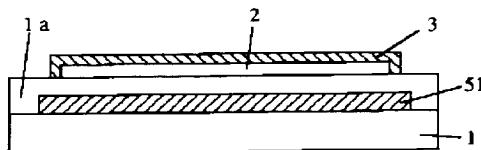
【図22】



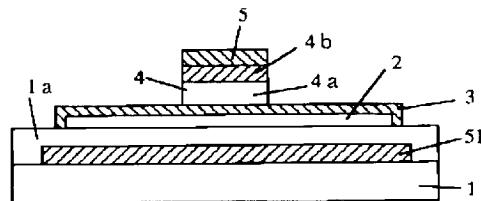
【図23】



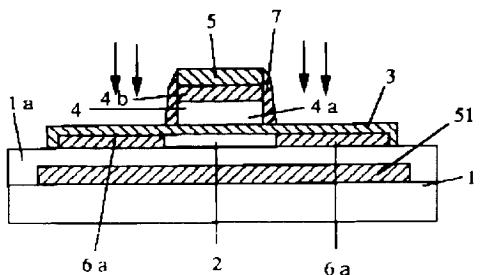
【図24】



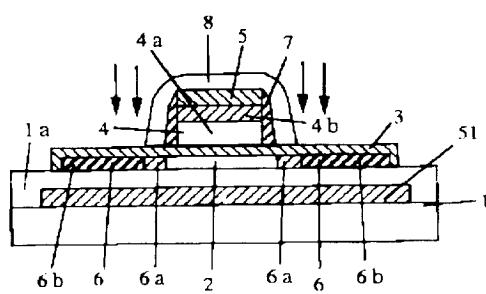
【図25】



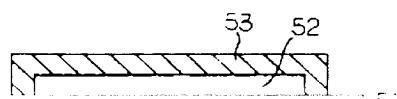
【図26】



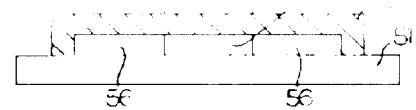
【図27】



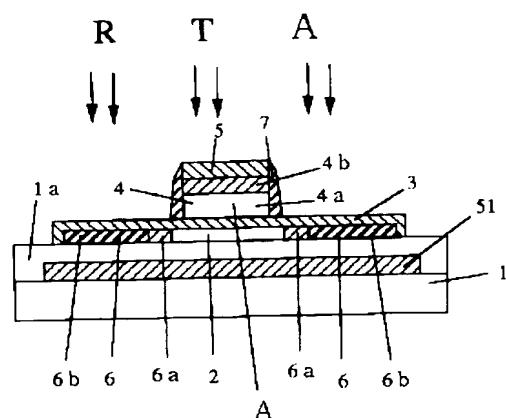
【図31】



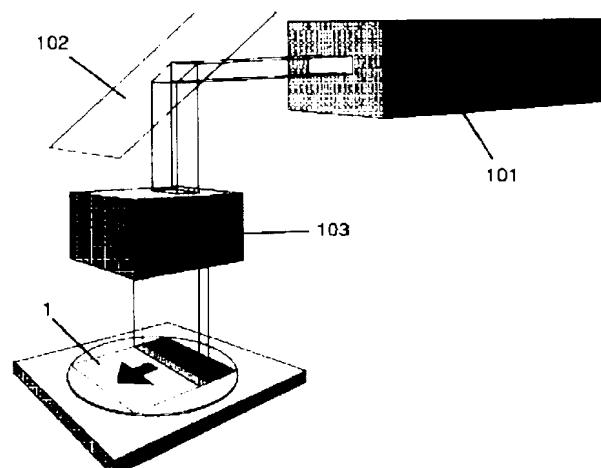
【図32】



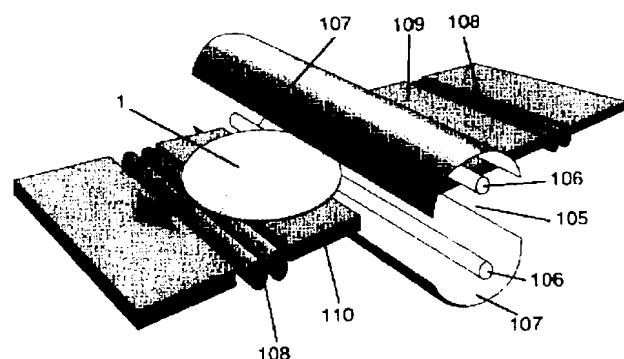
【図28】



【図29】



【図30】



フロントページの続き

(51) Int. Cl. 6

識別記号 序内整理番号

F 1

技術表示箇所

H 01 L 27/12

(72) 発明者 森本 佳宏

大阪府守口市京阪本通2丁目5番5号  
洋電機株式会社内

(72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号  
洋電機株式会社内